

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-272583

(43)Date of publication of application : 26.11.1987

(51)Int.Cl.

H01S 3/18  
// H01L 21/78

(21)Application number : 61-115825

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 20.05.1986

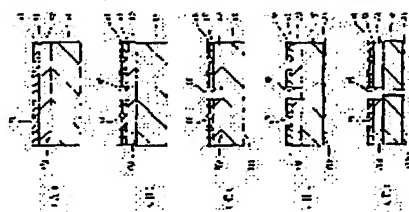
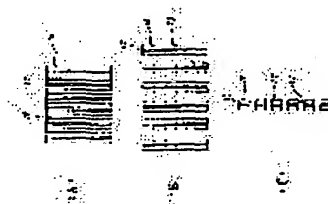
(72)Inventor : HASHIMOTO AKIHIRO  
KAMIJO TAKESHI  
KOBAYASHI MASAO

## (54) SEPARATING METHOD FOR SEMICONDUCTOR LASER ELEMENT

## (57)Abstract:

**PURPOSE:** To form a resonator end face of a preferable mirror-state with high manufacturing yield by cleaving even when a substrate and a semiconductor laser layer have different cleaved surfaces by forming striped grooves on the laser layer in a direction perpendicular to the surface to be cleaved, dividing the thinned substrate by polishing, and cleaving the substrate from the other side.

**CONSTITUTION:** After striped grooves 19 are formed in a direction perpendicular to the surface 23 to be cleaved on a semiconductor laser layer 13 laminated on one substrate surface 11A of a semiconductor substrate 11, the other side substrate is polished to reduce the thickness of the substrate 11. Then, the polished substrate 11 is divided along the grooves 19, the separated substrate 11 is cleaved from the other side substrate to the layer 13 to form resonator end face 25, and a semiconductor laser element 27 is divided. Thus, a boundary stress generated between the laser layer and the substrate made of materials having different thermal expansion coefficients is opened and alleviated by the striped grooves of the laser layer. Accordingly, a substrate thinner than the conventional one can be formed without crack to readily obtain the resonator end face of preferably mirror-state by cleaving.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## ⑫ 公開特許公報(A)

昭62-272583

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月26日

H 01 S 3/18  
// H 01 L 21/787377-5F  
7376-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体レーザ素子の分離方法

⑮ 特 願 昭61-115825

⑯ 出 願 昭61(1986)5月20日

⑰ 発 明 者	橋 本	明 弘	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑱ 発 明 者	上 條	健	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 発 明 者	小 林	正 男	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑳ 出 願 人	沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号			
㉑ 代 理 人	弁理士 大 垣 孝			

## 明 細 書

(従来の技術)

## 1. 発明の名称

半導体レーザ素子の分離方法

## 2. 特許請求の範囲

(1) 半導体基板の一方の基板面上に積層形成された半導体レーザ層にストライプ溝を劈開予定面と直交する方向に形成する工程と、

その後前記基板の他方の基板面を研磨して基板厚みを薄くする工程と、

該研磨した基板を前記ストライプ溝に沿って分断する工程と、

該分断した基板の他方の基板面から半導体レーザ層へ劈開して共振器端面を形成する工程とを具備することを特徴とする半導体レーザ素子の分離方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体レーザ素子の共振器端面を劈開によって形成するための半導体レーザ素子の分離方法に関する。

半導体レーザ素子の共振器端面は、光共振を行なうための反射面として機能し、素子の構造上、重要な構成要素である。形成された共振器端面の面状態は発振しきい値電流その他の素子特性に大きな影響を与える要因である。従って、実用上良好な素子特性を得るためには共振器端面を鏡面とすることが重要である。

ところで、基板及びこの基板上に積層形成された半導体レーザ層がそれぞれ異なる劈開面を有する場合がある。例えばSi基板等の共有結晶型基板上にGaAs系半導体レーザ(化合物半導体結晶層)を形成した場合に、基板とレーザ層との劈開面が異なる。このような場合に、共振器端面を形成するため、従来通常行なわれる如く基板側からレーザ層へ劈開を行なうと、基板の劈開面が平坦にならず、これがため半導体レーザ層の劈開面も平坦にならず(例えばSi基板で基板厚みが100μmより厚い場合)、従って共振器端面を良好な鏡面状態とすることが出来ない場合があっ

た。これがため、このような場合の端面形成方法として、イオンビームエッチング法或は反応性イオンビームエッチング法により端面形成を行なう第一の方法（例えば文献：「アプライド フィジクス レターズ (Applied Physics Letters)」48 (8) (1986-2-10) p413~414）、或は基板厚を薄くした後劈開によって端面形成を行なう第二の方法（例えば文献：「アプライド フィジクス レターズ (Applied Physics Letters)」45 (4) (1984-8-15) p308~311）が従来より提案されている。

この従来第一の方法では、フォトリソ技術を用いて半導体レーザ層に部分的に金属薄膜（例えばNi）パターンを形成し、これらパターンをマスクとして半導体レーザ層に対しイオンビームの照射を行ない、これによってマスクで被覆されていないレーザ層の領域を除去する。この結果新たに形成された半導体レーザ層のエッチング端面が共振器端面となる。次いでマスクを除去した後、最終的に個別に分割された半導体レーザ素子を得

という問題点があった。

また、上述した従来第二の方法においては、共振器端面を平坦に形成するために基板を薄くする必要があるが、基板厚みを薄くすると（例えばSi基板において100 $\mu$ m以下の基板厚みとした場合）、電極のアニール或は結晶成長を行なう際に熱膨張係数の相違する基板及び半導体レーザ層との間に界面応力が生じ、この界面応力によって基板が反ってしまう。これがため、半導体レーザ層にクラック（亀裂）が生じる場合があり、従って製造歩留りがはなはだしく悪くなるという問題点があった。

この発明の目的は、上述した従来問題点を除去し、Si基板等の共有結晶型半導体基板上にGaAs系半導体レーザを形成した場合のように基板及び半導体レーザ層が異なる劈開面を有する場合にも、劈開によって製造歩留り良く良好な端面状態の共振器端面を形成出来る半導体レーザ素子の分離方法を提供することにある。

る。この第一の方法は端面形成技術として将来主流となる技術であると予想される。

また、第二の方法では、基板厚みを薄くして例えばSi基板を厚み50 $\mu$ mまで研磨して（経験的に100 $\mu$ m以下の基板厚みとする必要がある。）、その後基板側から半導体レーザ層へ劈開を行なう。このように基板厚みを薄くしておくことにより、基板劈開面が平坦とならない場合にも、半導体レーザ層劈開面を平ら面として得ることが出来る。

（発明が解決しようとする問題点）

しかしながら、上述した第一の方法のようにイオンビームエッチング或は反応性イオンエッチングを行なう方法では、現段階では、パターニング形成されたマスクの周端面をサブミクロンオーダの微視的観察を行なうと、これら周端面は凹凸があり、従ってこのマスク周端面形状を再現するようにイオンビーム照射で形成された共振器端面も微小の凹凸面となって平坦にならない。その結果共振器端面を鏡面として形成することが出来ない

（問題点を解決するための手段）

この目的の達成を図るため、この発明の半導体レーザ素子の分離方法によれば、半導体基板の一方の基板面上に積層形成された半導体レーザ層にストライプ溝を劈開予定面と直交する方向に形成する工程と、その後基板の他方の基板面を研磨して基板厚みを薄くする工程と、研磨した基板をストライプ溝に沿って分断する工程と、分断した基板の他方の基板面から半導体レーザ層へ劈開して共振器端面を形成する工程とを具えることを特徴とする。

一方或は他方の基板面側の電極形成は通常行なわれる如く任意好適な時期に行なえば良い。ただし、他方の基板面側の電極形成は基板を研磨した後行なうのが好ましい。

（作用）

このような構成によれば、基板を研磨して基板厚みを薄くする前に、半導体レーザ層にストライプ溝を形成する。従って、熱膨張係数の相異なる材料からそれぞれ成る半導体レーザ層及び基板と

の間に生ずる界面応力が、半導体レーザ層のストライプ溝によって開放され緩和される。その結果基板厚みを薄くした際の基板の反りを著しく減少することが出来る。

#### (実施例)

以下、図面を参照しながらこの発明の一実施例につき説明する。尚、図はこの発明が理解出来る程度に概略的に示してあるにすぎず、従って各構成成分の寸法、形状、配置関係は図示例に限定されるものではない。

第1図(A)～(E)は実施例の素子分離工程の説明に供する要部断面図、及び第2図(A)～(C)は実施例の素子分離工程の説明に供する平面図である。この実施例ではこの発明を最も基本的な構造を有する半導体レーザ素子に適用した場合につき説明する。

第1図(A)はウェハに形成されている複数の連なった通常のAlGaAs系化合物半導体レーザ素子の一構造例を示しており、同図において11は半導体基板としてのSi基板を示しており、この

によるマスクパターンの形成及びエッチングを通常の方法によって行ない、以ってストライプ溝19の形成領域のCr/Au層18、酸化膜15及び半導体レーザ層13を除去して基板11までストライプ溝19の形成を行なう。このストライプ溝19の深さは基板11と半導体レーザ層13との間の界面応力を開放し緩和出来る深さであれば、必ずしも基板11の基板面11aに達しない任意の深さで溝19を形成しても良い。

その後第1図(C)に示すように基板11の他方の基板面を研磨して基板厚みを薄くする。この結果新たに形成された基板11の他方の基板面を図中符号11bを付して示す。この研磨によって半導体レーザ層13に亀裂を生じることなく40～50μm程度の基板厚みまで薄くすることが可能である。このように、この発明によれば従来より薄い基板厚みを亀裂を生じることなく得ることが可能であり、従って良好な鏡面状態の共振器端面を劈開によってより容易に得ることを期待出来る。

然る後、第1図(D)に示すように他方の基板面

基板11の一方の基板面11a上に順次にn-GaAsバッファ層、n-AlGaAs第一クラッド層、アンドープGaAs活性層、p-AlGaAs第二クラッド層、p-GaAsキャップ層を積層して成るAlGaAs系化合物半導体層を半導体レーザ層13として備えている。この半導体レーザ層13上に、基板11を部分的に露出させるストライプ溝を有する酸化膜15を備え、このストライプ溝の基板11及び酸化膜15上にCr/Au層18を積層して成る上側電極層17としてのストライプ電極層を備えている。

これら複数のレーザ素子を分離するに当り、先ず、第1図(B)及び第2図(A)に示すように、基板面11a上に積層形成された半導体レーザ層13にストライプ溝19を(図中、小点を付して示してある)劈開予定面23(第2図(B)参照)と直交する方向に形成する。このため、例えば、ストライプ溝19の溝幅を20～30μmとし劈開予定面23と直交する方向の半導体レーザ素子の素子幅を350μmとなるようにフォトリソ

11bに下側電極層21としてAu層を積層する。

次いで第1図(E)及び第2図(B)に示すように研磨した基板11をストライプ溝19に沿って分断する。この分断はダイシング法、スクライプ法及びその他の好適な手段により行なえば良い。このようにして、研磨した基板をダイシング法その他の手段によって分断することによって、劈開の失敗による歩留りの低下要因を低減出来る。ここで、第2図(B)において劈開予定面23を点線で示す。

次いで第2図(C)に示すように分断した基板11の他方の基板面11bから半導体レーザ層13へ劈開予定面23の劈開を行なって共振器端面25を形成し、個別に分離された半導体レーザ素子27を得る。

上述した実施例ではこの発明を最も基本的構造を有する半導体レーザ素子に適用した場合につき説明したが、この発明は他の任意の構造の半導体レーザ素子の素子分離に適用して好適である。

また上述した実施例ではこの発明の特定の好ましい数値的条件、材料その他の条件の下で説明し

たがこの発明はこれに限定されるものではないことを理解されたい。

(発明の効果)

上述した説明からも明らかなように、この発明の半導体レーザ素子の分離方法によれば、基板を研磨して基板厚みを薄くする前に、半導体レーザ層にストライプ溝を形成する。従って、熱膨張係数の相異なる材料から成る半導体レーザ層及び基板との間に生ずる界面応力が、半導体レーザ層のストライプ溝によって開放され緩和される。その結果基板厚みを薄くした際の基板の反りを著しく減少することが出来る。

従って、この発明によれば従来より薄い基板厚みを亀裂を生じることなく得ることが可能であり、良好な鏡面状態の共振器端面を劈開によって従来より容易に得ることが期待出来ると共に歩留り良く半導体レーザ素子の分離を行なうことが出来る。

4. 図面の簡単な説明

第1図(A)～(E)はこの発明の一実施例の素子

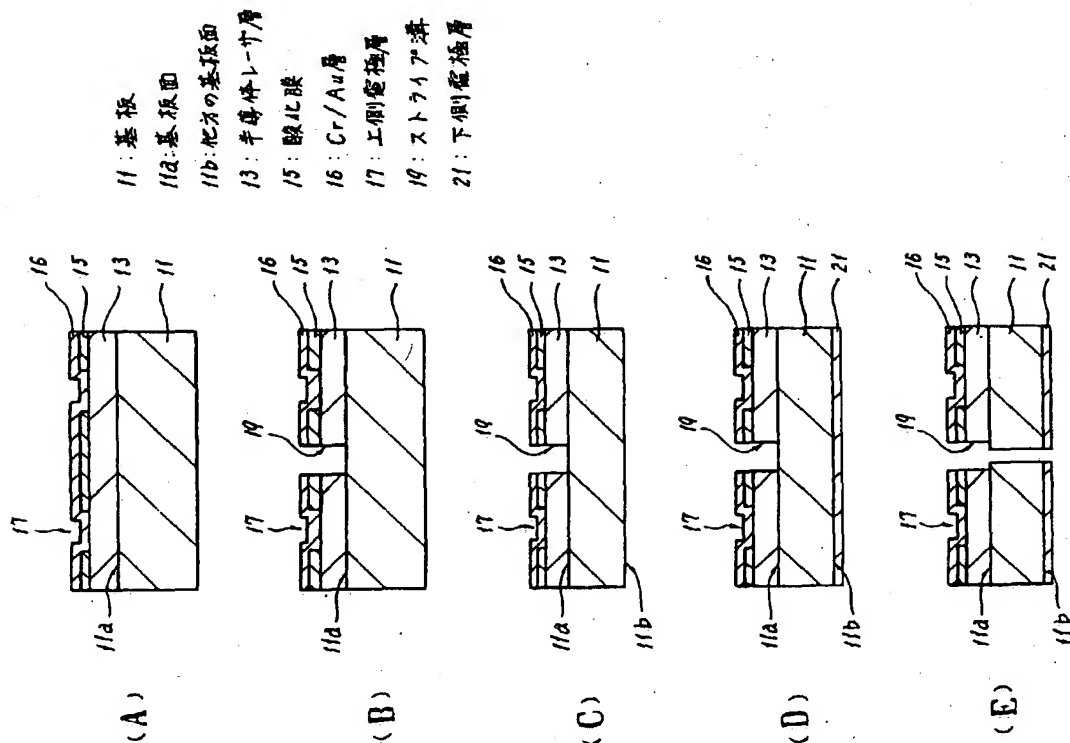
分離工程を説明するための断面図、

第2図(A)～(C)はこの発明の一実施例の素子分離工程を説明するための平面図である。

- |             |              |
|-------------|--------------|
| 11…基板、      | 13…半導体レーザ層   |
| 11a…一方の基板面、 | 11b…他方の基板面   |
| 17…上側電極層、   | 19…ストライプ溝    |
| 21…下側電極層、   | 23…劈開予定面     |
| 25…共振器端面、   | 27…半導体レーザ素子。 |

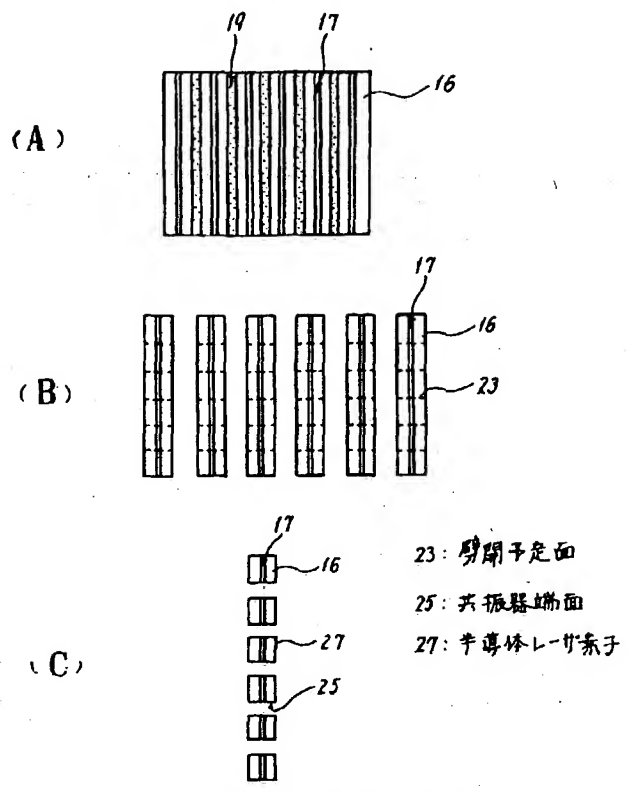
特許出願人 神電気工業株式会社

代理人 弁理士 大 垣 孝



実施例の素子分離工程を示す断面図

第1図



実施例の素子分離工程を示す平面図

第 2 図